

Korean Patent First Publication No. 2002-51214

Applicant: Electronics Telecommunications Research Institute

Inventors: Yoon Ho Song et al.

Abstract

The present invention is directed to a field emission display, and more particularly, to a field emission display in which the field emission device, the electron source device is applied to a flat display device. The field emission display comprises an upper portion and a lower portion, wherein the lower portion includes a dot pixel, wherein the dot pixel comprises: a high voltage amorphous silicon thin film transistor on a lower glass substrate; a bipolar field emission film formed on a portion of a drain of the high voltage amorphous silicon thin film transistor; an inter layer dielectric formed on the high voltage amorphous silicon thin film transistor and the side of the bipolar field emission film; and an electron beam electrode-focusing / light shielding layer overlapped in parallel to the high voltage amorphous silicon thin film transistor on a portion of the inter layer dielectric and formed on the side of bipolar field emission film; wherein the dot pixel on the upper portion comprises: a clear electrode on the glass substrate of the upper portion; and a fluorescent substance in red, green or blue on a portion of the clear electrode; wherein the upper and lower portions are vacuum packaged in parallel to each other.

po 030440E1

10-0378597

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01J 1/30	(45) 공고일자 2003년04월08일
	(11) 등록번호 10-0378597
	(24) 등록일자 2003년06월20일
(21) 출원번호 10-2000-0080802	(65) 공개번호 특2002-0051214
(22) 출원일자 2000년 12월22일	(43) 공개일자 2002년 06월28일

(73) 특허권자 한국전자통신연구원
(72) 발명자 대전 유성구 가정동 161번지 송윤호
대전광역시서구정림동강변블로람아파트101-604 조영래
대전광역시유성구신성동하나아파트110동508호 강승열
대전광역시유성구송강동한솔아파트204-1101 정문연
대전광역시유성구도룡동주공타운5동105호 황치선
대전광역시대덕구법2동191-1보람아파트113동108호 이진호
대전광역시유성구머은동한빛아파트101-601 조경익
(74) 대리인 대전광역시유성구머은동한빛아파트119-1201 전영일

심사관 : 강병선

(54) 고해상도 전계 방출 디스플레이

요약

본 발명은 전계 방출 디스플레이에 관한 것으로서, 특히 전자 원(electron source) 소자인 전계 방출 소자를 평판 디스플레이 장치에 응용한 것에 관한 것이다. 상기한 전계 방출 디스플레이는 상판과 하판으로 구성되고, 상기 하판의 도트 픽셀은, 상기 하판의 유리 기판 상에 고전압 비정질 실리콘 박막 트랜지스터; 상기 고전압 비정질 실리콘 박막 트랜지스터의 드레인 일부 위에 형성된 이극형 전계 방출 막; 상기 고전압 비정질 실리콘 박막 트랜지스터 위 및 상기 이극형 전계 방출 막의 측면에 형성된 충전 절연막; 및 상기 충전 절연막의 일부 위에 상기 고전압 비정질 실리콘 박막 트랜지스터와 수직으로 중첩되면서도 상기 이극형 전계 방출 막의 측면에 형성된 전자빔 집속 전극/차광막을 포함하여 구성되고; 상기 상판의 도트 픽셀은, 상기 상판의 유리 기판 상에 투명 전극; 및 상기 투명 전극 일부 위에 적색, 녹색 또는 청색의 형광체를 포함하여 구성되어 있고; 상기 상판과 하판은 서로 평행하게 진공 패키징되어 있는 것을 특징으로 하는 전계 방출 디스플레이가 제공된다.

도면

도1

색인어

전계 방출 디스플레이, 박막 트랜지스터, 전자빔 집속 전극/차광막

명세서

도면의 간단한 설명

도 1은 종래의 삼극형 전계 방출 소자로 구성된 단순 매트릭스 전계 방출 디스플레이의 도트 픽셀 구성을 도시한 단면도,

도 2는 종래의 이극형 전계 방출 소자로 구성된 단순 매트릭스 전계 방출 디스플레이의 도트 픽셀 구성을 도시한 단면도,

도 3은 종래의 이극형 전계 방출 소자와 다결정 실리콘 박막 트랜지스터로 구성된 액티브 매트릭스 전계

방출 디스플레이의 도트 픽셀 구성을 도시한 단면도,

도 4는 본 발명의 일 실시예에 따른 전계 방출 디스플레이에서 하나의 도트 픽셀 구성을 도시한 단면도,

도 5는 본 발명의 일 실시예에 따른 전계 방출 디스플레이에서 하판의 도트 픽셀 구성을 도시한 평면도,

도 6은 본 발명의 일 실시예에 따른 전계 방출 디스플레이의 구동 방법을 보여주는 기능도이다.

※도면의 주요 부분에 대한 설명※

- 401 : 유리 기판 402 : 박막 트랜지스터의 게이트
403 : 박막 트랜지스터의 게이트 절연막
404 : 박막 트랜지스터의 채널 (도핑되지 않은 비정질 실리콘)
405 : 박막 트랜지스터의 소스 (도핑된 비정질 실리콘)
406 : 박막 트랜지스터의 드레인 (도핑된 비정질 실리콘)
407 : 박막 트랜지스터의 소스 전극
408 : 박막 트랜지스터의 드레인 전극
409 : 전계 방출 막 410 : 층간 절연막
411 : 전자빔 집속 전극/차광막 421 : 유리 기판
422 : 투영 전극 423 : 형광체
504 : 박막 트랜지스터의 채널 (도핑되지 않은 비정질 실리콘)
507 : 박막 트랜지스터의 소스 전극
508 : 박막 트랜지스터의 드레인 전극
509 : 전계 방출 막 511 : 전자빔 집속 전극/차광막
602 : 박막 트랜지스터의 게이트
607 : 박막 트랜지스터의 소스 전극
608 : 박막 트랜지스터의 드레인 전극
609 : 전계 방출 막 611 : 전자빔 집속 전극/차광막
622 : 투영 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 고해상도 전계 방출 디스플레이에 관한 것으로서, 보다 상세하게는 전자 원(electron source) 소자인 전계 방출 소자(field emission device 또는 field emitter array)를 평판 디스플레이 장치에 응용한 것에 관한 것이다.

전계 방출 디스플레이는 전계 에미터 어레이를 가진 하판(lower plate)과 형광체(phosphor)를 가진 상판(upper plate)을 서로 평행하게 좁은 간격(2mm 이내)으로 진공 패키징(vacuum packaging)하여 제작되며, 하판의 전계 에미터로부터 방출된 전자를 상판의 형광체에 충돌시켜 형광체의 음극 발광(cathode luminescence)으로 화상을 표시하는 장치로서, 최근 종래의 브라운관(cathode ray tube: CRT)을 대체할 수 있는 평판 디스플레이로서 광범위하게 연구 개발되고 있다.

전계 방출 디스플레이 하판의 핵심 구성 요소인 전계 에미터는 소자 구조, 에미터 물질, 에미터 모양에 따라 전자 방출 효율이 크게 달라진다. 현재 전계 방출 소자의 구조는 크게 캐소드(또는 에미터)와 아노드로 구성된 이극형(diode)과 캐소드, 게이트 및 아노드로 구성된 삼극형(triode)으로 분류할 수 있다. 에미터 물질로는 주로 금속, 실리콘, 다이아몬드, 다이아몬드상 카본(diamond like carbon) 또는 탄소 나노튜브(carbon nanotube) 등이 사용되고 있다. 일반적으로 금속과 실리콘은 3극형 구조로, 다이아몬드, 다이아몬드상 카본 또는 탄소 나노튜브 등은 2극형 구조로 제작되고 있다. 이극형 전계 에미터는 삼극형에 비해서 전자 방출에 대한 제어성 및 저전압 구동 측면에서 불리하지만, 제작 공정이 간단하여 대면적화가 매우 쉬운 장점이 있다.

한편, 전계 방출 디스플레이는 행렬(matrix) 형태로 배열되어 있는 하판의 픽셀 구성에 따라 단순 매트릭스(simple matrix)형과 액티브 매트릭스(active matrix)형 패널로 나눌 수 있다. 단순 매트릭스 전계 방출 디스플레이는 각 픽셀이 전계 에미터 어레이만으로 구성되는 반면, 액티브 매트릭스 전계 방출 디스플레이는 각 도트 픽셀(dot pixel)이 전계 에미터 어레이와 전계 에미터 어레이의 전계 방출 전류를 제어할 수 있는 반도체 소자(주로 트랜지스터)로 구성된다.

도 1 내지 도 3은 종래의 전계 방출 디스플레이에서 하나의 도트 픽셀 구성을 보여주는 단면도이다. 먼저, 도 1은 종래의 삼극형 전계 방출 소자로 구성된 단순 매트릭스 전계 방출 디스플레이의 도트 픽셀 구성을 보여주는 단면도로서, 도 1의 종래 전계 방출 디스플레이는 유리 기판(101) 상에 금속으로 이루어진 캐소드 전극(102)과, 상기 캐소드 전극(102) 상에 도핑된 비정질 실리콘으로 이루어진 저항층(103)과, 상기 저항층(103)의 일부 위에 금속(주로 몰리브덴)으로 이루어진 원추형의 전계 방출 팁(104)과, 상기 전계 방출 팁(104)에 전기장을 인가하기 위해 설치된 게이트 절연막(105)과 게이트 전극(106)을 가진 하판이 유리 기판(121)과, 상기 유리 기판(121) 상에 형성된 투명 전극(122)과, 상기 투명 전극(122) 일부 위에 형성된 적색, 녹색 또는 청색의 형광체(123)를 가진 상판과 서로 마주보며 진공 패키징되어 있다.

상기 도 1의 전계 방출 디스플레이는 비교적 낮은 전압(통상 80V)에서 신뢰성있는 전계 방출을 유도할 수 있는 장점을 지니고 있으나, 전계 방출 팁을 대면적으로 제작하는데 한계가 있고, 또한 전계 방출 전압이 높은 단점을 지니고 있다.

도 2는 종래의 미국형 전계 방출 소자로 구성된 단순 매트릭스 전계 방출 디스플레이의 도트 픽셀 구성을 보여주는 단면도이다.

도 2의 종래 전계 방출 디스플레이는 유리 기판(201) 상에 금속으로 이루어진 캐소드 전극(202)과, 상기 캐소드 전극(202) 상에 도핑된 비정질 실리콘으로 이루어진 저항층(203)과, 상기 저항층(203)의 일부 위에 탄소 나노튜브 등으로 이루어진 미국형 전계 방출 막(field emission film)(204)을 가진 하판이 유리 기판(221)과, 상기 유리 기판(221) 상에 형성된 투명 전극(222)과, 상기 투명 전극(222) 일부 위에 형성된 적색, 녹색 또는 청색의 형광체(223)를 가진 상판과 서로 마주보며 진공 패키징되어 있다.

상기 도 2의 전계 방출 디스플레이는 구조가 간단하고 제작 공정이 용이한 장점을 가지나, 전계 방출 전압이 매우 높고, 전자 방출 특성이 불안정하며, 균일성과 신뢰성이 떨어지는 단점이 있다.

도 3은 종래의 미국형 전계 방출 소자와 다결정 실리콘 박막 트랜지스터로 구성된 액티브 매트릭스 전계 방출 디스플레이의 도트 픽셀 구성을 보여주는 단면도이다 (본원 발명자가 기 출원한 특허: 99-31976).

도 3의 종래 전계 방출 디스플레이는 유리 기판(301) 상에, 도핑되지 않은 다결정 실리콘으로 이루어진 박막 트랜지스터의 채널(302)과, 상기 박막 트랜지스터의 채널(302)의 양측면에 도핑된 다결정 실리콘으로 이루어진 박막 트랜지스터의 소스(303) 및 드레인(304)과, 상기 박막 트랜지스터의 채널(302), 소스(303) 및 드레인(304) 상에 산화막 등으로 이루어진 게이트 절연막(305)과, 상기 게이트 절연막(305)의 일부 위에 상기 박막 트랜지스터의 소스(303)의 일부 및 상기 박막 트랜지스터의 채널(302)과 수직적으로 중첩되나 상기 박막 트랜지스터의 드레인(304)과는 중첩되지 않는 제 1 게이트(306)와, 상기 제 1 게이트(306) 상에 산화막 등으로 이루어진 층간 절연막(307)과, 상기 층간 절연막(307)의 일부 위에 상기 제 1 게이트(306), 상기 박막 트랜지스터의 채널(302) 및 상기 박막 트랜지스터의 드레인(304) 각각의 일부와 수직적으로 중첩되는 제 2 게이트(308)와, 상기 박막 트랜지스터의 드레인(304) 상에 있는 게이트 절연막(305)과 층간 절연막(307)의 일부를 제거하여 박막 트랜지스터의 드레인(304)과 전기적으로 접촉되게 형성된 탄소 나노튜브 등으로 이루어진 미국형 전계 방출 막(309)을 가진 하판이 유리 기판(321)과, 상기 유리 기판(321) 상에 형성된 투명 전극(322)과, 상기 투명 전극(322) 일부 위에 형성된 적색, 녹색 또는 청색의 형광체(323)를 가진 상판과 서로 마주보며 진공 패키징되어 있다.

상기 도 3의 전계 방출 디스플레이는 각 도트 픽셀이 다결정 실리콘 박막 트랜지스터에 의해 전기적으로 서로 고립되어 있기 때문에 디스플레이의 신호 크로스-토크(cross-talk)를 크게 억제할 수 있고, 또한 전계 방출 전류를 다결정 실리콘 박막 트랜지스터로 제어하기 때문에 저전압 구동이 가능할 뿐만 아니라 매우 안정된 전자 방출을 얻을 수 있는 장점이 있다. 그러나 도 3의 전계 방출 디스플레이는 다결정 실리콘 박막 트랜지스터의 제조 공정이 추가됨으로서 대면적 전계 방출 디스플레이의 제조가 매우 어렵고, 제조 가격이 비싼 단점이 있다.

한편, 상기 도 1 내지 도 3의 종래 전계 방출 디스플레이는 전계 방출 소자로부터 방출된 전자빔이 형광체에 도달할 때, 전자빔의 퍼짐 현상 때문에 고해상도의 디스플레이를 구현하기가 매우 어렵고, 따라서 이러한 전자빔의 퍼짐 현상을 막기 위해서는 부가적인 집속전극(focusing electrode)이 필요한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 상기한 문제점을 해결하기 위하여 안출된 본 발명에 따른 고해상도 전계 방출 디스플레이는 액티브 매트릭스 전계 방출 디스플레이에서 전계 방출 전류의 제어/스위칭 소자로 활용된 다결정 실리콘 박막 트랜지스터를 비정질 실리콘 박막 트랜지스터로 대체함으로써 액티브 매트릭스 전계 방출 디스플레이의 대면적화를 용이하게 달성하고, 비정질 실리콘의 광전기 특성에 따른 박막 트랜지스터의 광 누설전류를 억제하면서도 방출된 전자빔의 집속 효과를 얻을 수 있는 전계 방출 디스플레이 장치 및 그 구동 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명에 따른 고해상도 전계 방출 디스플레이는, 미국형의 전계 방출 막으로 구성된 전자 원(electron source) 도트 픽셀을 행렬 배열로 가진 하판과 형광체 도트 픽셀을 가진 상판이 서로 평행하게 진공패키징 되어 있고, 각 전자원 도트 픽셀의 전계방출을 구동하기 위한 트랜지스터를 구비한 전계방출 디스플레이에 있어서,

상기 게이트의 상측으로부터 벗어난 위치에서 상기 소스의 측면과 대면하는 측면을 갖도록 상기 채널상에 전층되어 도핑된 비정질 실리콘으로 구성된 드레인과, 상기 소스 위에 적층된 금속박막으로 구성된 소스 전극 및

이하, 첨부된 도면을 참조하면서 본 발명의 일 실시예에 따른 고해상도 전개 방출 디스플레이를 보다 상세하게 설명하기로 한다.

또한, 상판은 유리 기판(421)의 일부 위에 투명 전극(422)과, 상기 투명 전극(422)의 일부 위에 적색, 녹색 또는 청색의 형광체(423)를 가진 도트 픽셀이 배열 형태로 배열되어 있다. 상기 하판과 상판은 각 도트 픽셀이 서로 일대일 대응이 되도록 정렬되어 진공 패키징되어 있다.

도 6은 본 발명의 일 실시예에 따른 전개 방출 디스플레이의 구동 방법을 보여주는 기능도이다. 도 6을 참조하면, 전개 방출 디스플레이의 구동은 상판의 미노드 전극인 투명 전극(622)에 일정한 플러스 전압을 인가한 상태에서 하판의 전지반 집속 전극/차광막(611)에 일정한 마이너스 전압을, 박막 트랜지스터의 게이트(602)와 소스 전극(607)에는 디스플레이의 스캔 및 데이터 신호를 각각 입력하여 이루어진다.

이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서와 같이, 본 발명에 따른 고해상도 전계 방출 디스플레이는 전계 방출 막으로부터 방출된 전자빔이 상판의 형광체에 도달할 때까지 퍼지지 않도록 하는 전자빔의 집속 효과와 형광판에서 발광된 빛이 박막 트랜지스터의 채널에 조사(照射)되지 않도록 하는 차광막 효과를 동시에 얻을 수 있다. 따라서, 전계 방출 디스플레이의 성능을 크게 향상시킬 수 있을 뿐만 아니라 해상도를 크게 증가시킬 수 있다.

(57) 청구의 범위

청구항 1

전자 원(electron source) 도트 픽셀을 행렬 배열로 가진 하판과, 형광체 도트 픽셀을 가진 상판이 서로 평행하게 진공 패키징되어 있는 전계 방출 디스플레이에 있어서,

상기 하판은 기판 상에 형성된 게이트, 게이트 절연막, 소스, 드레인, 채널, 소스 전극 및 드레인 전극으로 이루어진 비정질 실리콘 박막 트랜지스터;

상기 드레인 전극의 일부분 상에 형성되어 전계를 방출하는 2극형 전계 방출막;

상기 2극형 전계 방출막을 제외한 영역에 절연막으로 적층된 중간 절연막; 및

상기 중간 절연막의 일부분 상에 형성되고, 상기 게이트, 상기 채널, 상기 소스 전극 및 상기 드레인 전극의 일부와 수직적으로 중첩하며 상기 2극형 전계 방출막의 측면에 위치하여 상기 2극형 전계 방출막에서 방출되는 전계를 집속시키고 상기 상판의 형광체에서 발광되는 빛이 하판의 트랜지스터 채널에 조사되지 않게 하는 전자빔 집속/차광막을 포함하는 것을 특징으로 하는 고해상도 전계 방출 디스플레이.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 비정질 실리콘 박막 트랜지스터는,

상기 하판상의 일부에 금속박막으로 구성된 게이트와

상기 게이트를 포함한 상기 하판상에 적층된 절화막으로 구성된 게이트 절연막과,

상기 게이트의 적어도 일부의 상측에서 상기 게이트 절연막상에 적층된 비정질 실리콘으로 구성된 채널과,

상기 게이트의 적어도 일부의 상측에서 상기 채널상에 적층되어 도핑된 비정질 실리콘으로 구성된 소스와,

상기 게이트의 상측으로부터 벗어난 위치에서 상기 소스의 측면과 대면하는 측면을 갖도록 상기 채널상에 적층되어 도핑된 비정질 실리콘으로 구성된 드레인과,

상기 소스 위에 적층된 금속박막으로 구성된 소스전극 및

상기 드레인 위에 적층된 금속박막으로 구성된 드레인 전극을 포함하고,

상기 드레인 전극은 상기 전자 원 도트픽셀을 형성하기 위한 기층을 이루기에 충분한 면적으로 연장되어 상기 하판상에 적층되어 있는 것을 특징으로 하는 고해상도 전계방출 디스플레이

청구항 4

제 3 항에 있어서,

상기 비정질 실리콘 박막 트랜지스터는 게이트와 드레인간에 오프셋을 가지는 것을 특징으로 하는 고해상도 전계 방출 디스플레이.

청구항 5

제 3 항에 있어서,

상기 미국형 전계 방출 막은 카본 나노튜브로 구성되는 것을 특징으로 하는 고해상도 전계 방출 디스플레이.

청구항 6

제 3 항에 있어서,

상기 미국형 전계 방출 막은 다이아몬드로 구성되는 것을 특징으로 하는 고해상도 전계 방출 디스플레이.

청구항 7

제 3 항에 있어서,

상기 미국형 전계 방출 막은 다이아몬드상 카본으로 구성되는 것을 특징으로 하는 고해상도 전계 방출 디

스플레이.

청구항 8

삭제

청구항 9

제 1항에 있어서,

상기 전자빔 집속/차광막은 금속으로 구성되는 것을 특징으로 하는 고해상도 전계 방출 디스플레이.

청구항 10

삭제

도면

도면1

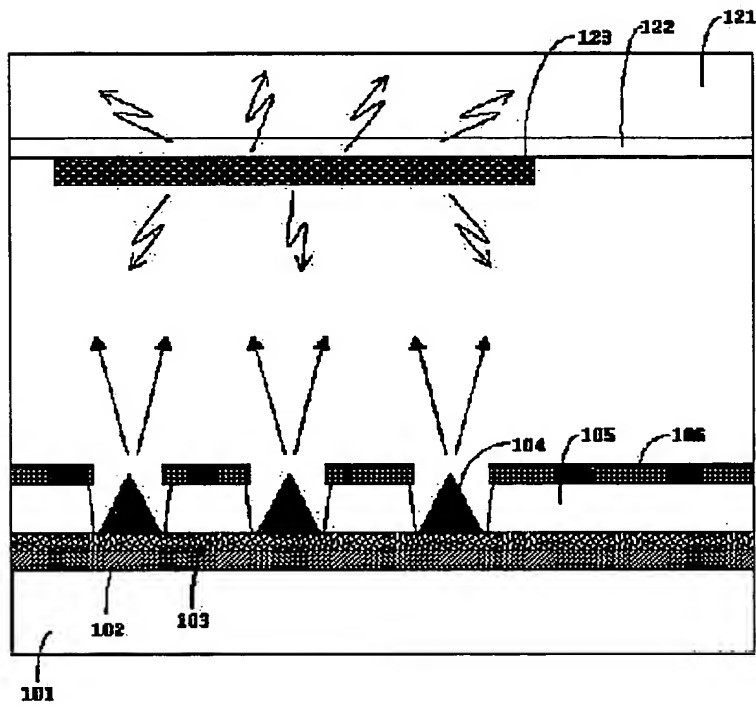
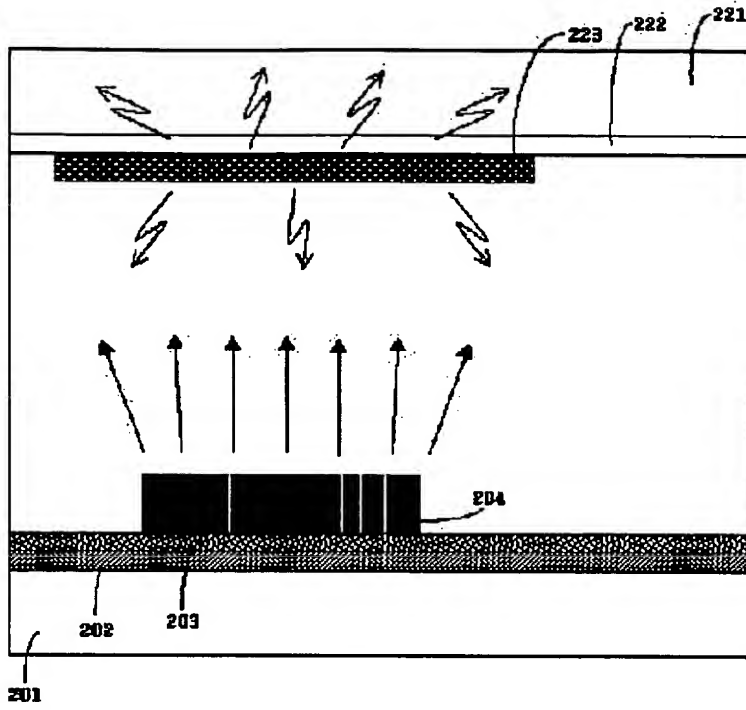
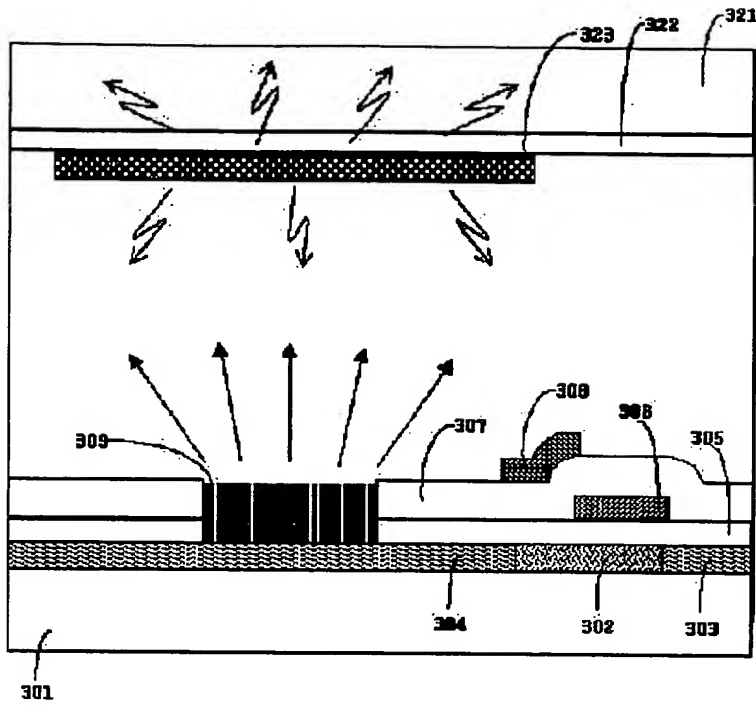


FIG. 2



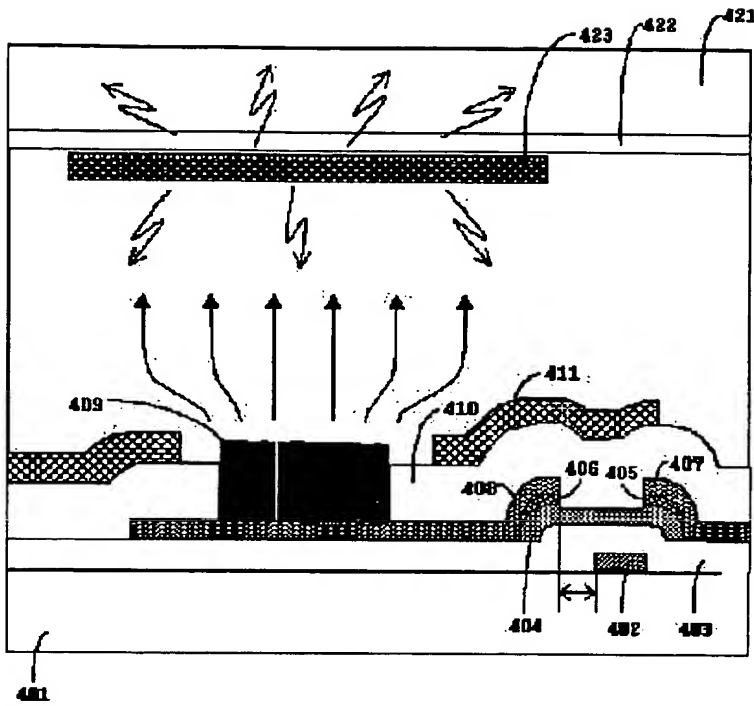
BEST AVAILABLE COPY

FIG 3

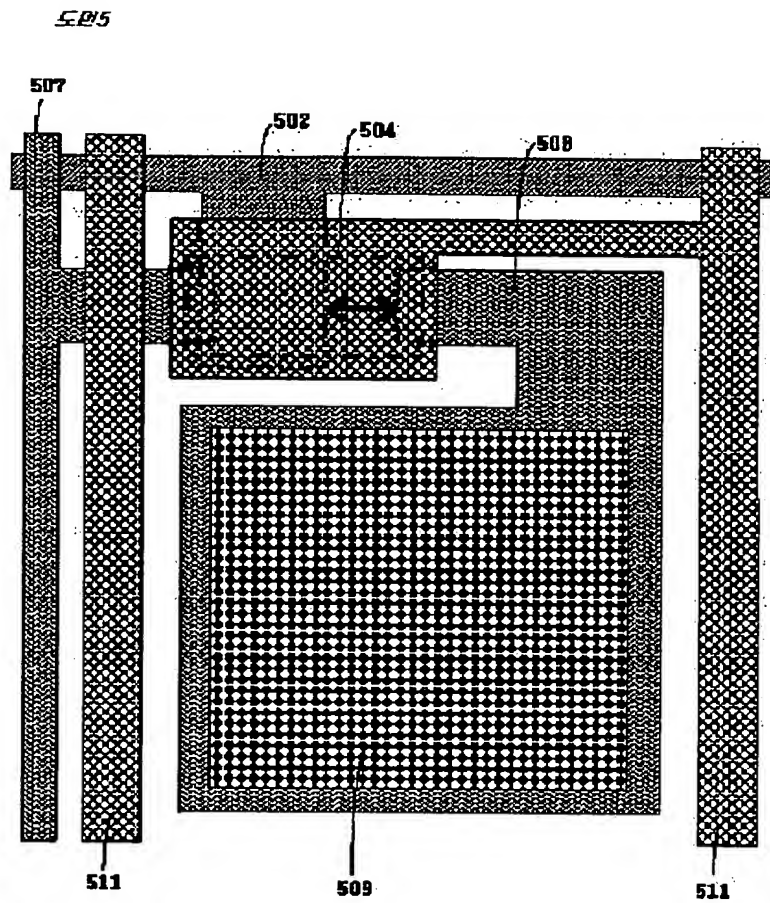


BEST AVAILABLE COPY

도면4



BEST AVAILABLE COPY



BEST AVAILABLE COPY

